

514-02
m

JC979 U.S. PTO
10/087063
03/01/02

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2001년 제 48740 호
Application Number PATENT-2001-0048740

출원년월일 : 2001년 08월 13일
Date of Application AUG 13, 2001

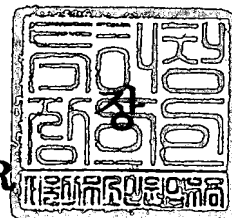
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2001 년 12 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2001.08.13
【국제특허분류】	H01L
【발명의 명칭】	자기 정렬 콘택 패드를 구비하는 반도체 소자 및 그 제조 방법
【발명의 영문명칭】	Semiconductor device having self-aligned contact pads and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	남동석
【성명의 영문표기】	NAM,Dong Seok
【주민등록번호】	701105-1024721
【우편번호】	136-091
【주소】	서울특별시 성북구 종암1동 3-555
【국적】	KR
【발명자】	
【성명의 국문표기】	김지수
【성명의 영문표기】	KIM,Ji Soo
【주민등록번호】	640429-1480627
【우편번호】	449-910

【주소】	경기도 용인시 구성면 연원마을 벽산아파트 114동 60호		
【국적】	KR		
【발명자】			
【성명의 국문표기】	채윤숙		
【성명의 영문표기】	CHAE, Yun Sook		
【주민등록번호】	710324-2240813		
【우편번호】	440-300		
【주소】	경기도 수원시 장안구 정자동 870-1 백설마을 코오롱아파트 584동 12 06호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 이영필 (인) 대리인 정상빈 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	21	면	21,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	23	항	845,000 원
【합계】	895,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

자기 정렬 콘택 패드를 구비하는 반도체 소자 및 그 제조 방법을 개시한다. 본 발명에 따른 반도체 소자는 반도체 기판, 반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하는 소자분리막, 활성 영역과 교차하며 활성 영역의 단축 방향으로 연장하는 복수개의 게이트, 각 게이트 양측의 활성 영역에 형성된 제1 및 제2 소오스/드레인 영역, 및 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하면서 동일한 크기를 갖는 제1 및 제2 자기 정렬 콘택 패드를 포함한다.

【대표도】

도 5

【명세서】

【발명의 명칭】

자기 정렬 콘택 패드를 구비하는 반도체 소자 및 그 제조 방법{Semiconductor device having self-aligned contact pads and method for fabricating the same}

【도면의 간단한 설명】

도 1, 도 2, 도 3a, 도 3b, 도 4a 및 도 4b는 종래의 자기 정렬 콘택 패드를 구비하는 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

도 5, 도 6, 도 7a, 도 7b, 도 8a 및 도 8b는 본 발명의 제1 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

도 9, 도 10, 도 11a, 도 11b, 도 12a 및 도 12b는 본 발명의 제2 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

도 13, 도 14, 도 15a, 도 15b, 도 16a 및 도 16b는 본 발명의 제3 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

도 17, 도 18a 및 도 18b는 본 발명의 제4 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다.

도 19는 본 발명의 제5 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면이다.

<도면의 주요 부분에 대한 부호의 설명>

115 : 활성 영역, 135 : 게이트, 150 : 포토레지스트 패턴,

155a, 155b : 제1 및 제2 자기 정렬 콘택 패드,

165 : 콘택플러그, 180 : 비트라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<11> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 보다 구체적으로는 자기 정렬 콘택 패드(self-aligned contact pad : 이하 'SAC')를 구비하는 반도체 소자 및 그 제조 방법에 관한 것이다.

<12> 반도체 소자의 집적도가 증가하면서 소자간의 거리가 좁아지고, 소자들이 형성될 수 있는 영역도 좁아지고 있다. 이에 따라, 콘택 영역도 축소되어 콘택 마진이 감소되므로, 포토리소그래피 공정에서의 정렬 여유도가 감소된다. 최근에 고집적 반도체 소자의 콘택 패드를 형성하는 방법으로서, 정렬 여유도를 개선시킬 수 있는 SAC을 형성하는 방법이 제안된 바 있다.

<13> 도 1, 도 2, 도 3a, 도 3b, 도 4a 및 도 4b를 참조하여 종래의 SAC을 구비하는 반도체 소자 및 그 제조 방법을 설명한다. 도 1 및 도 2는 종래의 SAC을 구비하는 반도체 소자의 제조 방법을 순차적으로 나타낸 평면도들이다. 도 3a 및 도 3b는 각각 도 1의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 도 4a 및 도 4b는 각각 도 2의 a-a'선 및 b-b'선을 따라 절개된 단면도이다.

<14> 먼저 도 1, 도 3a 및 도 3b를 참조하면, 반도체 기판(10)에 장축과 단축을 갖는 활성 영역(15)을 한정하는 소자분리막(20)을 형성한다. 상기 반도체 기판

(10) 상에 상기 활성 영역(15)과 교차하며 상기 활성 영역(15)의 단축 방향으로 연장하는 복수개의 게이트(35)를 형성한다. 상기 게이트(35)는 게이트 절연막(22), 게이트 전극(25), 및 캡핑층(27)으로 이루어지는 적층체와, 상기 적층체의 측벽을 포위하는 스페이서(30)를 포함한다. 상기 게이트(35)는 상기 활성 영역(15)당 두 개씩 배치된다. 여기서, 상기 캡핑층(27)과 스페이서(30)는 후속 공정에서 형성하는 층간절연막과 식각선택비를 갖는 질화막으로 형성한다.

<15> 다음에, 상기 게이트(35) 양측의 활성 영역(15)에 불순물을 이온 주입하여, 제1 및 제2 소오스/드레인 영역(40a, 40b)을 형성한다. 인접하는 상기 게이트(35) 사이의 공간을 완전히 매립하는 층간절연막(45)을 형성한 다음, 상기 층간절연막(45)의 상면을 평탄화한다.

<16> 이어서, 상기 층간절연막(45) 상에 SAC 형성을 위한 섬(island) 형태의 포토레지스트 패턴(50)을 형성한다. 상기 포토레지스트 패턴(50)은 상기 활성 영역(15)이 형성되지 않은 행마다 상기 활성 영역(15)과 동일한 크기로 형성된다.

<17> 도 2, 도 4a 및 도 4b를 참조하면, 상기 제1 및 제2 소오스/드레인 영역(40a, 40b)의 상면을 각각 노출시키는 콘택홀들(H_{11} , H_{12})이 형성되도록, 상기 포토레지스트 패턴(50)을 마스크로 하여 상기 층간절연막(45)을 식각한다. 상기 포토레지스트 패턴(50)을 제거한 다음, 상기 콘택홀들(H_{11} , H_{12})을 완전히 매립하는 도핑된 폴리실리콘막을 형성한다. 상기 캡핑층(27)의 상면이 드러나도록 상기 도핑된 폴리실리콘막과 층간절연막(45)의 상면을 평탄화한다. 이로써, 상기 제1

및 제2 소오스/드레인 영역(40a, 40b)의 상면에 각각 접하는 제1 및 제2 SAC(55a, 55b)이 형성된다.

<18> 상기 콘택홀 식각 공정에서는 질화막에 대한 증간절연막의 식각선택비가 높도록 C_4F_8 또는 C_5F_8 등의 가스를 사용한다. 이러한 가스를 사용하는 공정에서는 다량의 폴리머가 발생된다. 콘택홀의 종횡비가 크면 발생된 폴리머가 콘택홀 내에서 확산되어 나오지 못하기 때문에 식각 정지 현상이 발생하기 쉽다. 따라서, 통상의 반도체 소자 제조 공정에서는 식각 정지 현상이 발생하지 않도록 식각 시간을 연장하여 과도 식각을 행한다.

<19> 그런데, 포토레지스트 패턴이 차지하는 면적이 작으면 과도 식각시에 포토레지스트 패턴의 최상부가 변형되는 문제가 발생한다. 그리고, 포토레지스트 패턴의 쓰러짐 현상이 발생하기도 한다. 상기 섬 형태의 포토레지스트 패턴(50)은 이러한 문제에 취약하다. 특히, 상기 포토레지스트 패턴(50)의 에지 부위가 얇게 형성되므로 인접하는 제1 SAC(55a) 사이가 완벽하게 분리되지 않고, 브리지(bridge)가 발생된다.

<20> 한편, 식각 공정시 필요한 식각 가스량은 식각되는 면적에 비례하기 때문에, 폭이 넓은 콘택홀은 폭이 좁은 콘택홀에 비하여 식각되는 속도가 작다. 포토레지스트 패턴을 섬 형태로 형성하면, 제1 SAC(55a)이 형성될 콘택홀(H_{11}) 보다 제2 SAC(55b)이 형성될 콘택홀(H_{12})의 폭이 넓기 때문에, 각 콘택홀(H_{11} , H_{12}) 간에 식각 속도의 차이가 나타난다. 따라서, 어느 한쪽의 콘택홀에 식각 가스량을 맞추게 되면, 나머지 콘택홀을 원하는 형태로 형성하기 어렵다.

【발명이 이루고자 하는 기술적 과제】

<21> 본 발명이 이루고자 하는 기술적 과제는, 인접하는 SAC 사이가 완벽하게 분리된 반도체 소자를 제공하는 것이다.

<22> 본 발명이 이루고자 하는 다른 기술적 과제는, SAC이 형성될 콘택홀을 식각할 때 콘택홀의 폭이 달라서 발생하는 식각 불균일을 해결할 수 있는 반도체 소자의 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<23> 상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자는 반도체 기판, 상기 반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하는 소자분리막, 상기 활성 영역과 교차하며 상기 활성 영역의 단축 방향으로 연장하는 복수개의 게이트, 상기 각 게이트 양측의 활성 영역에 형성된 제1 및 제2 소오스/드레인 영역, 및 상기 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하면서 동일한 크기를 갖는 제1 및 제2 SAC을 포함한다.

<24> 본 발명에 따른 반도체 소자에 있어서, 상기 제2 SAC의 상면 일부 및 측벽과, 상기 제2 SAC과 동일 열에 위치하는 소자분리막의 상면에 접하는 콘택플러그, 및 상기 콘택플러그의 상면에 접하면서 상기 활성 영역이 형성되지 않은 행마다 형성되어 상기 활성 영역의 장축 방향으로 연장하는 비트라인을 더 포함할 수 있다.

<25> 본 발명에 따른 반도체 소자에 있어서, 상기 제1 및 제2 소오스/드레인 영역과 동일 행에 위치하는 소자분리막의 상면에 접하는 제3 SAC을 더 포함할 수

있다. 이 경우, 상기 콘택플러그는 상기 제2 SAC과 동일 열에 위치하는 제3 SAC의 상면 일부 및 측벽에 더 접할 수 있다.

<26> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자의 제조 방법에서는, 반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하도록 소자분리막을 형성한다. 상기 소자분리막이 형성된 결과물 상에 상기 활성 영역과 교차하며 상기 활성 영역의 단축 방향으로 연장하는 복수개의 게이트를 형성한다. 상기 각 게이트 양측의 활성 영역에 제1 및 제2 소오스/드레인 영역을 형성한다. 상기 제1 및 제2 소오스/드레인 영역이 형성된 결과물 상에, 상기 게이트 사이의 공간을 완전히 매립하면서 평탄화된 상면을 갖는 충전절연막을 형성한다. 상기 충전절연막 상에 상기 활성 영역이 형성되지 않은 행마다 상기 활성 영역의 장축 방향으로 연장하는 라인 형태의 포토레지스트 패턴을 형성한다. 상기 제1 및 제2 소오스/드레인 영역의 상면을 각각 노출시키는 콘택홀들이 형성되도록 상기 포토레지스트 패턴을 마스크로 하여 상기 충전절연막을 식각한 다음, 상기 포토레지스트 패턴을 제거한다. 상기 게이트의 상면과 단차가 없게 상기 콘택홀들에 도전 물질을 매립하여 상기 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하는 제1 및 제2 SAC을 형성한다.

<27> 본 발명에 따른 반도체 소자의 제조 방법에 있어서, 상기 제1 및 제2 소오스/드레인 영역을 형성하는 단계 이후에, 상기 게이트 사이의 공간을 완전히 매립하지 않는 정도 두께로 물질막을 형성하는 단계를 더 포함할 수 있다. 이 때에, 상기 물질막은 상기 충전절연막과 식각선택비를 갖는 절연막으로 형성되며, 상기 충전절연막을 식각하는 단계에서 식각된다.

- <28> 본 발명에 따른 반도체 소자의 제조 방법에 있어서, 상기 제1 및 제2 SAC을 형성하는 단계 이후에, 상기 제1 및 제2 SAC이 형성된 결과물 상에 다른 층간절연막을 형성한 다음, 상기 층간절연막과 다른 층간절연막을 관통하여 상기 제2 SAC의 상면 일부 및 측벽과, 상기 제2 SAC과 동일 열에 위치하는 소자분리막의 상면에 접하는 콘택플러그를 더 형성할 수 있다. 그리고, 상기 다른 층간절연막 상에 상기 활성 영역이 형성되지 않은 행마다 상기 콘택플러그의 상면에 접하면서 상기 활성 영역의 장축 방향으로 연장하는 비트라인을 더 형성할 수 있다.
- <29> 본 발명에 따른 반도체 소자의 제조 방법에 있어서, 상기 제1 및 제2 소오스/드레인 영역과 동일 행에 위치하는 소자분리막의 상면에 접하는 제3 SAC을 형성하는 단계를 더 포함하고, 상기 콘택플러그는 상기 제2 SAC과 동일 열에 위치하는 제3 SAC의 상면 일부 및 측벽에 더 접하도록 형성할 수도 있다.
- <30> 본 발명에 따른 반도체 소자의 제조 방법에 있어서, 상기 포토레지스트 패턴을 형성하는 단계는, 상기 포토레지스트 패턴이 상기 활성 영역과 동일 행에 위치하는 소자분리막의 상면을 덮는 돌출부를 갖도록 형성할 수 있다. 이 때에, 상기 돌출부는 상기 소자분리막 양측의 게이트 상까지 확장되도록 형성할 수 있다.
- <31> 본 발명에 따르면, 인접하는 SAC 사이가 완벽하게 분리된 반도체 소자를 제조할 수 있다. 그리고, SAC이 형성될 콘택홀을 식각할 때 콘택홀의 폭이 달라서 발생하는 식각 불균일을 해결할 수 있다.
- <32> 이하, 첨부 도면들을 참조하면서 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명의 실시예들은 여러 가지 다른 형태들로 변형될

수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 '상'에 있다라고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제3의 층이 개재되어질 수 있다.

<33> 제1 실시예

<34> 도 5, 도 6, 도 7a, 도 7b, 도 8a 및 도 8b는 본 발명의 제1 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다. 도 5 및 도 6은 본 발명의 제1 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타낸 평면도들이다. 도 7a 및 도 7b는 각각 도 5의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 도 8a 및 도 8b는 각각 도 6의 a-a'선 및 b-b'선을 따라 절개된 단면도이다.

<35> 먼저 도 5, 도 7a 및 도 7b를 참조하면, 반도체 기판(110)에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역(115)을 한정하도록 소자분리막(120)을 형성한다. 상기 활성 영역(115)과 교차하며 상기 활성 영역(115)의 단축 방향(Y)으로 연장하는 복수개의 게이트(135)를 형성한다. 상기 게이트(135)는 상기 활성 영역(115)당 두 개씩 교차하도록 형성한다.

<36> 상기 게이트(135)는 게이트 절연막(122), 게이트 전극(125) 및 캡핑층(127)으로 이루어지는 적층체와, 상기 적층체의 측벽을 포위하는 게이트 스페이스(130)를 포함하도록 형성한다. 상기 게이트 전극(125)으로서 도핑된 폴리실리콘막을 형성하거나, 폴리사이드 구조가 되도록 도핑된 폴리실리콘막과 텅스텐실리사이드막의 이중막을 형성할 수도 있다. 상기 캡핑층(127)과 게이트 스페이스(130)는 후속 공정에서 형성하는 층간절연막과 식각선택비를 갖는 절연막으로 형성한다. 예를 들어, 질화막 또는 산화질화막으로 형성한다.

<37> 다음에, 상기 각 게이트(135) 양측의 활성 영역(115)에 불순물을 이온 주입하여 제1 및 제2 소오스/드레인 영역(140a, 140b)을 형성한다. 상기 게이트(135) 사이의 공간을 완전히 매립하지 않는 정도 두께로 물질막(분리하여 도시하지 않음)을 형성한 다음, 상기 게이트(135) 사이의 공간을 완전히 매립하는 층간절연막(145)을 형성한다. 상기 층간절연막(145)의 상면을 에치 백(etch-back) 또는 화학적 기계적 연마(Cheical Mechanical Polishing : 이하 'CMP')에 의하여 평탄화한다. 도면에는 상기 층간절연막(145)의 높이가 상기 게이트(135)의 높이보다 크도록 도시하였으나, 상기 층간절연막(145)은 상기 게이트(135)와 단차가 없게 형성될 수도 있다. 상기 물질막은 상기 층간절연막(145)과 식각선택비를 갖는 절연막으로 형성한다. 예를 들어, 질화막 또는 산화질화막으로 형성한다. 이것은, 후속 공정에서 상기 층간절연막(145)을 식각하는 동안 상기 물질막이 식각종말점으로 작용하도록 하기 위함이다.

<38> 이어서, 상기 층간절연막(145) 상에 포토레지스트막을 도포한다. 상기 포토레지스트막이 상기 활성 영역(115)이 형성되지 않은 행에만 라인 형태로 존재하

도록 노광 및 현상한다. 노광시의 반사를 줄이기 위하여, 상기 층간절연막(145)과 포토레지스트막 사이에 반사방지막을 개재시킬 수도 있다. 이로써, SAC 형성을 위한 포토레지스트 패턴(150)이 형성된다. 상기 포토레지스트 패턴(150)은 상기 활성 영역(115)이 형성되지 않은 행마다 상기 활성 영역(115)의 장축 방향(X)으로 연장하는 라인 형태로 형성된다.

<39> 따라서, 종래의 섬 형태의 포토레지스트 패턴에 비하여 포토레지스트막이 차지하는 면적을 충분히 확보할 수 있고, 포토레지스트막의 두께를 증가시킬 수 있다. 포토레지스트 패턴의 쓰러짐 현상이 감소되고, 포토레지스트 패턴의 에지 부위가 변형되는 현상이 방지된다.

<40> 도 6, 도 8a 및 도 8b를 참조하면, 상기 포토레지스트 패턴(150)을 마스크로 하여 상기 층간절연막(145)을 식각한다. 상기 물질막은 상기 층간절연막(145)과 식각선택비를 갖는 절연막으로 형성하므로, 상기 물질막은 상기 층간절연막(145)을 식각하는 동안 식각종말점으로 작용한다. 상기 물질막까지 식각함으로써, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)과, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)과 동일 행에 위치하는 소자분리막(120)의 상면을 각각 노출시키는 콘택홀들(H_{21} , H_{22} , H_{23})을 형성한다. 상기 포토레지스트 패턴(150)이 라인 형태이므로 모든 콘택홀의 크기가 동일하게 형성된다. 따라서, 콘택홀의 폭이 달라서 발생하는 식각 불균일이 해결된다.

<41> 상기 포토레지스트 패턴(150)을 제거한 다음, 상기 콘택홀들(H_{21} , H_{22} , H_{23})을 완전히 매립하는 도전막을 형성한다. 상기 도전막으로서, 도핑된 폴리실리콘막을 형성할 수 있다. 다음에, 상기 캡핑층(127)이 드러날 때까지 상기 도전

막과 층간절연막(145)의 상면을 에치 백 또는 CMP에 의하여 평탄화한다. 이로써, 제1, 제2 및 제3 SAC(155a, 155b, 155c)이 형성된다. 상기 제1, 제2 및 제3 SAC(155a, 155b, 155c)은 상기 게이트(135)의 상면과 단차가 없으면서, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)과, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)과 동일 행에 위치하는 소자분리막(120)의 상면에 각각 접하며, 서로 동일한 크기를 갖는다. 라인 형태의 포토레지스트 패턴을 형성함으로써 포토레지스트 패턴의 에지 부위가 변형되는 현상이 방지되므로, 인접하는 SAC 사이는 완벽하게 분리된다.

<42> 제2 실시예

<43> 도 9, 도 10, 도 11a, 도 11b, 도 12a 및 도 12b는 본 발명의 제2 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다. 도 9 및 도 10은 본 발명의 제2 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타낸 평면도들이다. 도 11a 및 도 11b는 각각 도 9의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 도 12a 및 도 12b는 각각 도 10의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 본 실시예에서는 상술한 제1 실시예에서와 동일한 요소에 대하여는 동일한 부호를 부여한다. 또한, 본 실시예는 상술한 제1 실시예에 후속하는 공정이다.

<44> 도 9, 도 11a 및 도 11b를 참조하면, 상술한 제1 실시예의 공정을 진행한 다음, 도 6의 결과물 상에 다른 층간절연막(160)을 형성한다. 상기 제2 SAC(155b)의

상면 일부 및 측벽과, 상기 제2 SAC(155b)과 동일 열에 위치하며 상기 제2 SAC(155b)의 다음 행에 위치하는 소자분리막(120)의 상면을 노출시키는

콘택홀(H₂₄)이 형성되도록, 상기 층간절연막(145)과 다른 층간절연막(160)을 식각한다. 도식된 바와 같이, 상기 콘택홀(H₂₄)은 상기 제2 SAC(155b)과 동일 열에 위치하는 제3 SAC(155c)의 상면 일부 및 측벽을 노출시킬 수도 있다.

<45> 상기 콘택홀(H₂₄)의 내벽과 바닥에 장벽금속막(163)을 형성한다. 상기 장벽금속막은 후속 공정에서 상기 콘택홀(H₂₄)에 매립되는 도전막이 금속막인 경우, 금속 원자가 상기 층간절연막들(145, 160) 내로 확산되는 것을 방지한다. 상기 장벽금속막으로서 Ti막과 TiN막의 복합막을 형성할 수 있다. 상기 Ti막과 TiN막의 복합막은 화학적 기상 증착법에 의하여 형성할 수 있다.

<46> 다음에, 상기 콘택홀(H₂₄)을 완전히 매립하는 도전막을 형성한다. 상기 도전막으로서 금속막인 W막을 형성할 수 있다. 상기 다른 층간절연막(160)의 상면이 드러나도록 상기 도전막의 상면을 에치 백 또는 CMP에 의하여 평탄화한다. 이로써, 상기 층간절연막(145)과 다른 층간절연막(160)을 관통하여 상기 제2 SAC(155b)의 상면 일부 및 측벽과, 상기 제2 SAC(155b)와 동일 열에 위치하는 소자분리막(120) 상면 및, 상기 제2 SAC(155b)과 동일 열에 위치하는 제3 SAC(155c)의 상면 일부 및 측벽에 접하는 콘택플러그(165)가 형성된다. 종래에는 제2 SAC(55b)이 제1 SAC(55a)보다 크게 형성되므로, 콘택플러그가 상기 제2 SAC(55b)의 상면에 접하여 형성된다. 본 발명에 의하면, 상기 콘택플러그(165)는 상기 소자분리막(120)의 상

면에 접하여 형성되지만, 상기 제2 SAC(155b)의 측벽에도 접하기 때문에 상기 활성 영역(115)과 전기적으로 연결된다. 상기 콘택플러그(165)는 종래의 콘택플러그에 비하여 크게 형성될 수 있다.

<47> 도 10, 도 12a 및 도 12b를 참조하면, 상기 다른 층간절연막(160) 상에 상기 활성 영역(115)이 형성되지 않은 행마다 상기 콘택플러그(165)의 상면에 접하면서 상기 활성 영역(115)의 장축 방향(X)으로 연장하는 비트라인(180)을 형성한다. 상기 비트라인(180)의 폭이 상기 콘택플러그(165)의 폭보다 작게 형성된다. 이를 위하여, 상기 콘택플러그(165)가 형성된 결과물 상에 도전성 리세스방지막(167), 비트라인 도전층(170) 및 비트라인 캡핑층(172)을 순차적으로 형성한다. 상기 비트라인 도전층(170)으로서 금속막인 W막을 형성할 수 있다. 상기 캡핑층(172) 상에 상기 활성 영역(15)이 형성된 행마다 비트라인 형성을 위한 포토레지스트 패턴(미도시)을 형성한다. 상기 포토레지스트 패턴을 마스크로 하여 상기 비트라인 캡핑층(172) 및 비트라인 도전층(170)을 패터닝한다. 다음, 상기 리세스방지막(167)까지 패터닝한다. 상기 리세스방지막(167)은 상기 비트라인 캡핑층(172) 및 비트라인 도전층(170)을 패터닝하는 동안, 상기 콘택플러그(165)의 표면이 리세스되는 것을 방지한다. 상기 포토레지스트 패턴을 제거한 다음, 상기 패터닝된 리세스방지막(167), 비트라인 도전층(170) 및 비트라인 캡핑층(172)의 측벽을 포위하는 비트라인 스페이서(175)를 형성한다. 상기 리세스방지막(167)으로는 도전성 막을 형성하여야 하며, Ti막과 TiN막의 복합막을 형성할 수 있다. 상기 Ti막과 TiN막의 복합막은 화학적 기상 증착법에 의하여 형성할 수

있다. 상기 리세스방지막(167)으로서 Ti막과 TiN막의 복합막을 형성하면, 상기 리세스방지막(167)은 장벽금속막의 역할도 겸할 수 있다.

<48> 제3 실시예

<49> 도 13, 도 14, 도 15a, 도 15b, 도 16a 및 도 16b는 본 발명의 제3 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다. 도 13 및 도 14는 본 발명의 제3 실시예에 따른 반도체 소자의 제조 방법을 순차적으로 나타낸 평면도들이다. 도 15a 및 도 15b는 각각 도 13의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 도 16a 및 도 16b는 각각 도 14의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 본 실시예에서는 상술한 제1 실시예에서와 동일한 요소에 대하여는 동일한 부호를 부여한다. 또한, 본 실시예는 SAC 형성을 위한 포토레지스트 패턴을 형성하기 이전의 공정은 상술한 제1 실시예와 동일하다.

<50> 도 13, 도 15a 및 도 15b를 참조하면, 상술한 제1 실시예에서와 마찬가지로 층간절연막(145)을 형성하는 공정까지 수행한다. 이어서, 상기 층간절연막(145)상에 상기 활성 영역(115)이 형성되지 않은 행마다 상기 활성 영역(115)의 장축 방향(X)으로 연장하는 라인 형태의 포토레지스트 패턴(150')을 형성한다. 이 때, 상기 포토레지스트 패턴(150')이 상기 활성 영역(115)과 동일 행에 위치하는 소자분리막(120)의 상면을 덮는 돌출부(150a)를 갖도록 형성한다. 도시된 바와 같이, 종래의 섬 형태의 포토레지스트 패턴(50)에 비하여 포토레지스트막이 차지하는 면적을 충분히 확보할 수 있고, 포토레지스트막의 두께를 증가시킬 수 있다. 따라서, 포토레지스트 패턴의 쓰러짐 현상이 감소되고, 포토레지스트 패턴의 에지 부위가 변형되는 현상이 방지된다.

<51> 도 14, 도 16a 및 도 16b를 참조하면, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)의 상면을 각각 노출시키는 콘택홀들(H_{21} , H_{22})이 형성되도록 상기 포토레지스트 패턴(150')을 마스크로 하여 상기 층간절연막(145)을 식각한다. 라인 형태의 포토레지스트 패턴을 형성함으로써 모든 콘택홀의 크기가 동일하게 형성된다. 따라서, 콘택홀의 폭이 달라 발생하는 식각 불균일이 해결된다.

<52> 상기 포토레지스트 패턴(150)을 제거한 다음, 상기 게이트(135)의 상면과 단차가 없으면서, 상기 제1 및 제2 소오스/드레인 영역(140a, 140b)의 상면에 각각 접하는 제1 및 제2 SAC(155a, 155b)을 형성한다. 상기 제1 및 제2 SAC(155a, 155b)은 서로 동일한 크기를 갖는다. 라인 형태의 포토레지스트 패턴을 형성함으로써 포토레지스트 패턴의 에지 부위가 변형되는 현상을 방지하였으므로, 인접하는 SAC 사이는 완벽하게 분리된다.

<53> 제4 실시예

<54> 도 17, 도 18a 및 도 18b는 본 발명의 제4 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 도면들이다. 도 17은 본 발명의 제4 실시예에 따른 반도체 소자의 제조 방법을 설명하기 위한 평면도이다. 도 18a 및 도 18b는 각각 도 17의 a-a'선 및 b-b'선을 따라 절개된 단면도이다. 본 실시예에서는 상술한 제3 실시예에서와 동일한 요소에 대하여는 동일한 부호를 부여한다. 또한, 본 실시예는 상술한 제3 실시예에 후속하는 공정이다.

<55> 도 17, 도 18a 및 도 18b를 참조하면, 도 14의 결과물 상에 다른 층간절연막(160)을 형성한다. 상기 제2 SAC(155b)의 상면 일부 및 측벽과, 상기 제2

SAC(155b)과 동일 열에 위치하며 상기 제2 SAC(155b)의 다음 행에 위치하는 소자 분리막(120)의 상면을 노출시키는 콘택홀(H₃₄)이 형성되도록, 상기 층간절연막(145)과 다른 층간절연막(160)을 식각한다. 상기 콘택홀(H₃₄)의 내벽과 바닥에 장벽금속막(163)을 형성한다. 상기 장벽금속막은 후속 공정에서 상기 콘택홀(H₃₄)에 매립되는 도전막이 금속막인 경우, 금속 원자가 상기 층간절연막들(145, 160) 내로 확산되는 것을 방지한다. 상기 장벽금속막으로서 Ti막과 TiN막의 복합막을 형성할 수 있다. 상기 Ti막과 TiN막의 복합막은 화학적 기상 증착법에 의하여 형성할 수 있다.

<56> 다음에, 상기 콘택홀(H₃₄) 내에 도전 물질을 매립하여 상기 제2 SAC(155b)의 상면 일부 및 측벽과, 상기 제2 SAC(155b)와 동일 열에 위치하는 소자분리막(120) 상면에 접하는 콘택플러그(165')를 형성한다. 상기 도전 물질로서 금속인 W을 매립할 수 있다. 종래에는 제2 SAC(55b)이 제1 SAC(55a)보다 크게 형성되므로, 콘택플러그가 상기 제2 SAC(55b)의 상면에 접하여 형성된다. 본 발명에 의하면, 상기 콘택플러그(165')는 상기 소자분리막(120)의 상면에 접하여 형성되지만, 상기 제2 SAC(155b)의 측벽에도 접하기 때문에 상기 활성 영역(115)과 전기적으로 연결된다. 상기 콘택플러그(165')는 종래의 콘택플러그에 비하여 크게 형성될 수 있다. 이후에는 도 10, 도 12a 및 도 12b를 참조하여 설명한 바와 같은 비트라인 형성공정을 진행할 수 있다.

<57> 제5 실시예

<58> 도 19는 본 발명의 제5 실시예에 따른 반도체 소자 및 그 제조 방법을 설명하기 위한 평면도이다. 본 실시예에서는 상술한 제3 실시예에서와 동일한 요소에

대하여는 동일한 부호를 부여한다. 또한, 본 실시예는 SAC 형성을 위한 포토레지스트 패턴을 형성하는 공정 이외에는 상술한 제3 실시예와 동일하다.

<59> 도 19를 참조하면, 상술한 제3 실시예에서와 마찬가지로 층간절연막(145)을 형성하는 공정까지 수행한다. 이어서, 상기 층간절연막(145) 상에 상기 활성 영역(115)이 형성되지 않은 행마다 상기 활성 영역(115)의 장축 방향(X)으로 연장하는 라인 형태의 포토레지스트 패턴(150'')을 형성한다. 이 때, 상기 포토레지스트 패턴(150'')은 상기 활성 영역(115)과 동일 행에 위치하는 소자분리막(120)의 상면을 덮는 돌출부(150b)를 갖도록 형성한다. 상기 돌출부(150b)는 상기 소자분리막(120) 양측의 게이트(135) 상까지 확장되도록 형성된다. 이후에는 도 14, 도 15a 및 도 15b를 참조하여 설명한 바와 같은 공정을 진행한다. 이 공정에 후속하여, 제4 실시예와 같은 공정을 진행할 수도 있다.

<60> 본 실시예에 의하면, 도 19에 도시된 바와 같이, 종래의 섬 형태의 포토레지스트 패턴(50)에 비하여 포토레지스트막이 차지하는 면적을 충분히 확보할 수 있고, 포토레지스트막의 두께를 증가시킬 수 있다. 따라서, 포토레지스트 패턴의 쓰러짐 현상이 감소되고, 포토레지스트 패턴의 에지 부위가 변형되는 현상이 방지된다. 라인 형태의 포토레지스트 패턴을 형성함으로써 모든 콘택홀의 크기가 동일하게 형성된다. 따라서, 콘택홀의 폭이 달라 발생하는 식각 불균일이 해결된다. 포토레지스트 패턴의 에지 부위가 변형되는 현상을 방지하였으므로, 인접하는 SAC 사이는 완벽하게 분리된다.

<61> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야

에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다. 예로서, 본 발명의 실시예에 의한 반도체 소자 및 제조 방법에서는 상기 활성 영역을 실질적으로 一자 형으로 형성하였으나, 당 분야에서 통상의 지식을 가진 자에게 이해되어질 수 있듯이, 상기 활성 영역을 실질적으로 T자 형으로 형성할 수도 있다. 상기 활성 영역이 실질적으로 T자 형으로 형성될 경우에는, 상기 제3 SAC은 상기 활성 영역의 상면에 접하여 형성된다.

【발명의 효과】

- <62> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, SAC 형성을 위한 포토레지스트 패턴을 라인 형태로 형성한다.
- <63> 따라서, 종래에 비하여 포토레지스트막이 차지하는 면적을 충분히 확보할 수 있고, 포토레지스트막의 두께를 증가시킬 수 있다. 포토레지스트 패턴의 쓰러짐 현상이 감소되고, 포토레지스트 패턴의 에지 부위가 변형되는 현상이 방지되어, 종래보다 양호한 패턴을 구현할 수 있다. 이로써, 인접하는 SAC 사이가 완벽하게 분리된다.
- <64> 그리고, 모든 SAC이 동일한 크기로 형성된다. 따라서, SAC이 형성될 콘택홀 식각시 콘택홀의 폭이 달라서 발생하는 식각 불균일이 해결된다. 결과적으로, 종래보다 재현성있게 SAC을 형성할 수 있다.

【특허청구범위】**【청구항 1】**

반도체 기판;

상기 반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하는 소자분리막;

상기 활성 영역과 교차하며 상기 활성 영역의 단축 방향으로 연장하는 복수개의 게이트;

상기 각 게이트 양측의 활성 영역에 형성된 제1 및 제2 소오스/드레인 영역; 및

상기 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하면서 동일한 크기를 갖는 제1 및 제2 자기 정렬 콘택 패드를 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 2】

제1항에 있어서,

상기 게이트는 상기 활성 영역당 두 개씩 교차하는 것을 특징으로 하는 반도체 소자.

【청구항 3】

제1항에 있어서,

상기 게이트는 게이트 절연막, 게이트 전극 및 캡핑층으로 이루어진 적층체와, 상기 적층체의 측벽을 포위하는 게이트 스페이서를 포함하며, 상기 캡핑층과

게이트 스페이서는 상기 층간절연막과 식각선택비를 갖는 절연막인 것을 특징으로 하는 반도체 소자.

【청구항 4】

제1항에 있어서,

상기 활성 영역의 장축 방향으로 인접하는 제1 자기 정렬 콘택 패드 사이의 소자분리막의 상면에 접하는 제3 자기 정렬 콘택 패드를 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 5】

제1항에 있어서,

상기 제2 자기 정렬 콘택 패드의 상면 일부 및 측벽과, 상기 제2 자기 정렬 콘택 패드와 동일 열에 위치하는 소자분리막의 상면에 접하는 콘택플러그; 및

상기 콘택플러그의 상면에 접하면서 상기 활성 영역이 형성되지 않은 행마다 형성되어 상기 활성 영역의 장축 방향으로 연장하는 비트라인을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 6】

제5항에 있어서,

상기 콘택플러그의 측벽과 저면을 둘러싸는 장벽금속막을 더 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 7】

제6항에 있어서,

상기 장벽금속막은 Ti막과 TiN막의 복합막인 것을 특징으로 하는 반도체 소자.

【청구항 8】

제5항에 있어서,

상기 비트라인은 도전성 리세스방지막, 비트라인 도전층 및 비트라인 캡핑층으로 이루어진 적층체와, 상기 적층체의 측벽을 포위하는 비트라인 스페이서를 포함하는 것을 특징으로 하는 반도체 소자.

【청구항 9】

제8항에 있어서,

상기 리세스방지막은 Ti막과 TiN막의 복합막인 것을 특징으로 하는 반도체 소자.

【청구항 10】

제5항에 있어서,

상기 제1 및 제2 소오스/드레인 영역과 동일 행에 위치하는 소자분리막의 상면에 접하는 제3 자기 정렬 콘택 패드를 더 포함하고, 상기 콘택플러그는 상기 제2 자기 정렬 콘택 패드와 동일 열에 위치하는 제3 자기 정렬 콘택 패드의 상면 일부 및 측벽에 더 접하는 것을 특징으로 하는 반도체 소자.

【청구항 11】

반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하도록 소자분리막을 형성하는 단계;

상기 소자분리막이 형성된 결과물 상에 상기 활성 영역과 교차하며 상기 활성 영역의 단축 방향으로 연장하는 복수개의 게이트를 형성하는 단계;

상기 각 게이트 양측의 활성 영역에 제1 및 제2 소오스/드레인 영역을 형성하는 단계;

상기 제1 및 제2 소오스/드레인 영역이 형성된 결과물 상에, 상기 게이트 사이의 공간을 완전히 매립하면서 평탄화된 상면을 갖는 층간절연막을 형성하는 단계;

상기 층간절연막 상에 상기 활성 영역이 형성되지 않은 행마다 상기 활성 영역의 장축 방향으로 연장하는 라인 형태의 포토레지스트 패턴을 형성하는 단계 ;

상기 제1 및 제2 소오스/드레인 영역의 상면을 각각 노출시키는 콘택홀들이 형성되도록 상기 포토레지스트 패턴을 마스크로 하여 상기 층간절연막을 식각하는 단계;

상기 포토레지스트 패턴을 제거하는 단계; 및

상기 게이트의 상면과 단차가 없게 상기 콘택홀들에 도전 물질을 매립하여 상기 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하는 제1 및 제2 자기 정렬 콘택 패드를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 12】

제11항에 있어서,

상기 게이트는 상기 활성 영역당 두 개씩 교차하도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 13】

제11항에 있어서,

상기 게이트를 형성하는 단계는,

상기 소자분리막이 형성된 반도체 기판 상에 게이트 절연막, 게이트 전극 및 캡핑층을 순차적으로 형성하는 단계;

상기 게이트 절연막, 게이트 전극 및 캡핑층을 패터닝하는 단계; 및

상기 패터닝된 게이트 절연막, 게이트 전극 및 캡핑층의 측벽을 포위하는 게이트 스페이서를 형성하는 단계를 포함하고, 상기 캡핑층과 게이트 스페이서는 상기 층간절연막과 식각선택비를 갖는 절연막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

제11항에 있어서,

상기 제1 및 제2 소오스/드레인 영역을 형성하는 단계 이후에,

상기 게이트 사이의 공간을 완전히 매립하지 않는 정도 두께로 물질막을 형성하는 단계를 더 포함하고, 상기 물질막은 상기 층간절연막과 식각선택비를 갖는 절연막으로 형성되며, 상기 층간절연막을 식각하는 단계에서 식각되는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 15】

제11항에 있어서,

상기 제1 및 제2 자기 정렬 콘택 패드를 형성하는 단계 이후에,

상기 제1 및 제2 자기 정렬 콘택 패드가 형성된 결과물 상에 다른 층간절연막을 형성하는 단계;

상기 층간절연막과 다른 층간절연막을 관통하여 상기 제2 자기 정렬 콘택 패드의 상면 일부 및 측벽과, 상기 제2 자기 정렬 콘택 패드와 동일 열에 위치하는 소자분리막의 상면에 접하는 콘택플러그를 형성하는 단계; 및

상기 다른 층간절연막 상에 상기 활성 영역이 형성되지 않은 행마다 상기 콘택플러그의 상면에 접하면서 상기 활성 영역의 장축 방향으로 연장하는 비트라인을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 16】

제15항에 있어서,

상기 콘택플러그를 형성하는 단계는,

상기 제2 자기 정렬 콘택 패드의 상면 일부 및 측벽과, 상기 제2 자기 정렬 콘택 패드와 동일 열에 위치하며 상기 제2 자기 정렬 콘택 패드의 이전 행 또는 다음 행에 위치하는 소자분리막의 상면을 노출시키는 콘택홀이 형성되도록, 상기 층간절연막과 다른 층간절연막을 식각하는 단계;

상기 콘택홀을 완전히 매립하는 도전막을 형성하는 단계; 및

상기 다른 층간절연막의 상면이 드러나도록 상기 도전막의 상면을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 17】

제15항에 있어서,

상기 층간절연막과 다른 층간절연막을 식각하는 단계 이후에,

상기 콘택홀의 내벽과 바닥에 장벽금속막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 18】

제17항에 있어서,

상기 장벽금속막으로서 Ti막과 TiN막의 복합막을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 19】

제15항에 있어서,

상기 제1 및 제2 소오스/드레인 영역과 동일 행에 위치하는 소자분리막의 상면에 접하는 제3 자기 정렬 콘택 패드를 형성하는 단계를 더 포함하고, 상기 콘택플러그는 상기 콘택플러그가 상기 제2 자기 정렬 콘택 패드와 동일 열에 위치하는 제3 자기 정렬 콘택 패드의 상면 일부 및 측벽에 더 접하도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 20】

제15항에 있어서,

상기 비트라인을 형성하는 단계는,

상기 콘택플러그가 형성된 결과물 상에 도전성 리세스방지막, 비트라인 도전층 및 비트라인 캡핑층을 순차적으로 형성하는 단계;

상기 리세스방지막, 비트라인 도전층 및 비트라인 캡핑층을 패터닝하는 단계; 및

상기 패터닝된 리세스방지막, 비트라인 도전층 및 비트라인 캡핑층의 측벽을 포위하는 비트라인 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 21】

제20항에 있어서,

상기 리세스방지막으로서 Ti막과 TiN막의 복합막을 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 22】

제11항에 있어서,

상기 포토레지스트 패턴을 형성하는 단계는,

상기 포토레지스트 패턴이 상기 활성 영역과 동일 행에 위치하는 소자분리막의 상면을 덮는 돌출부를 갖도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

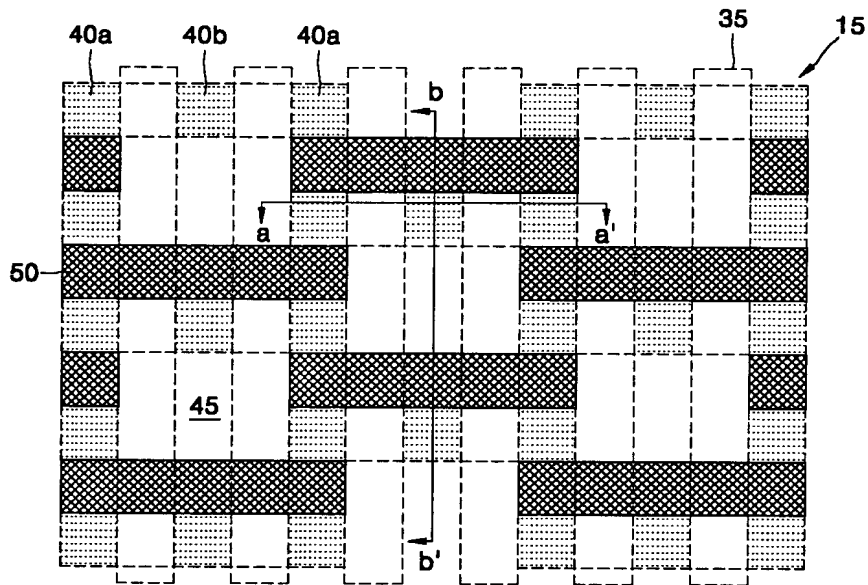
【청구항 23】

제22항에 있어서,

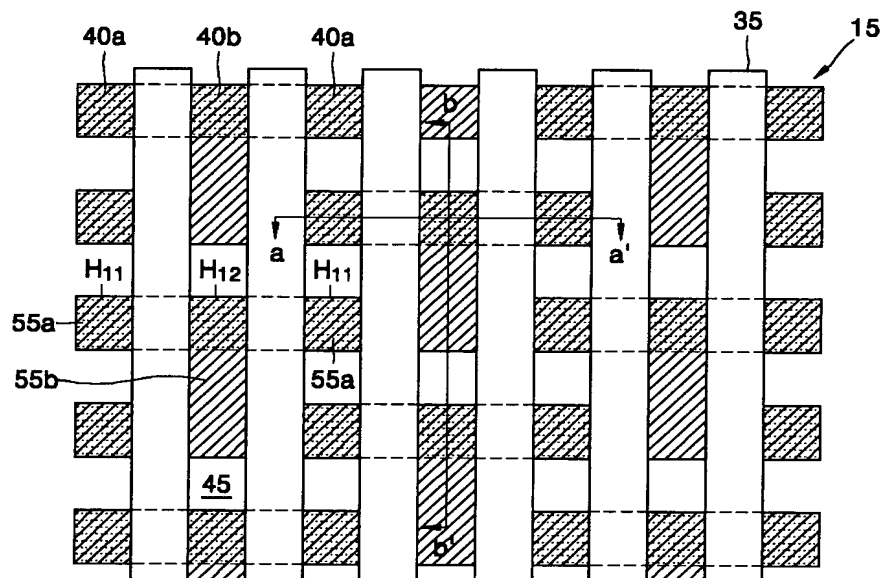
상기 돌출부는 상기 소자분리막 양측의 게이트 상까지 확장되도록 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

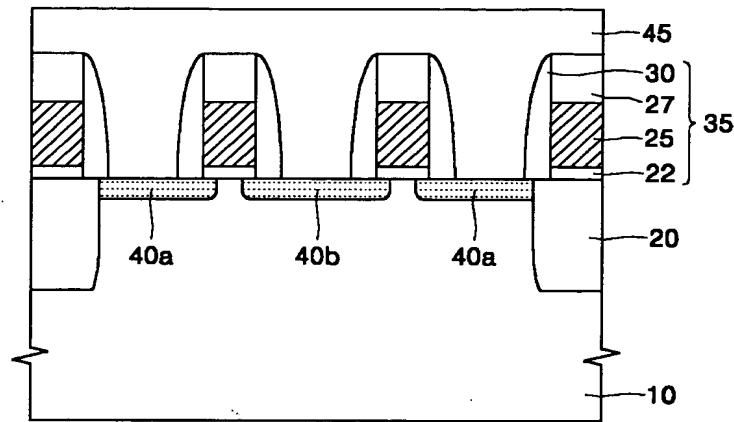
【도 1】



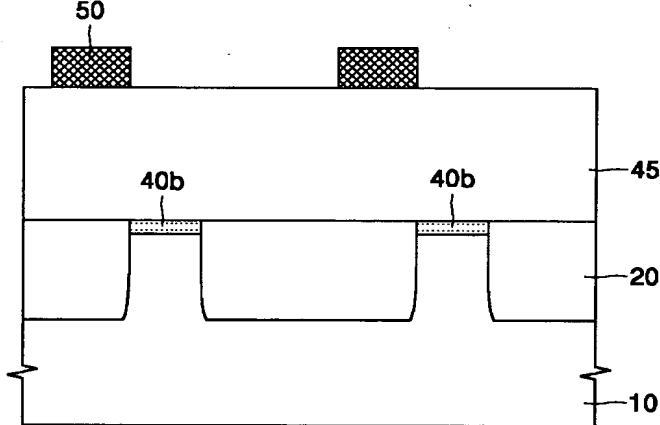
【도 2】



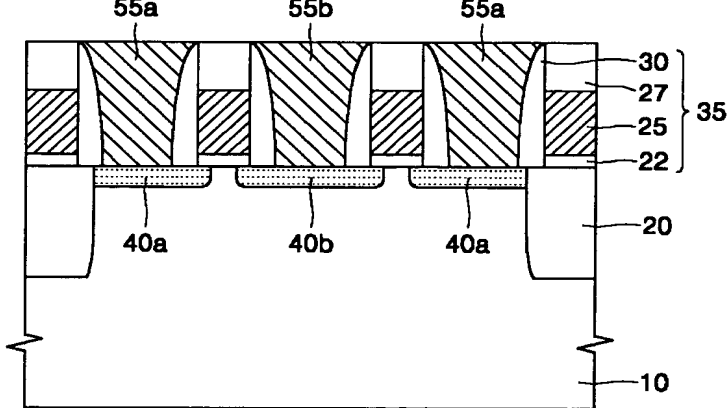
【도 3a】



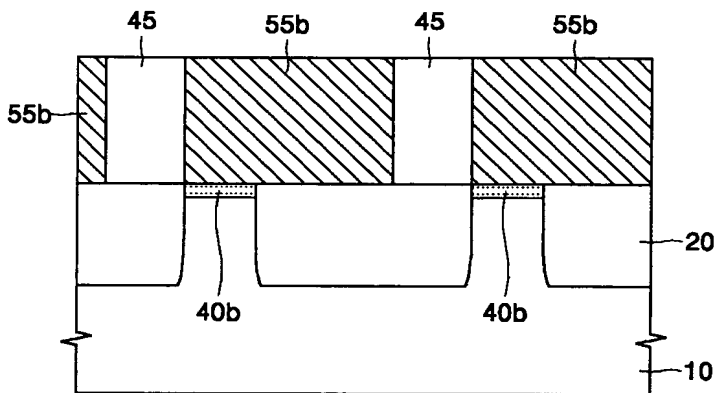
【도 3b】



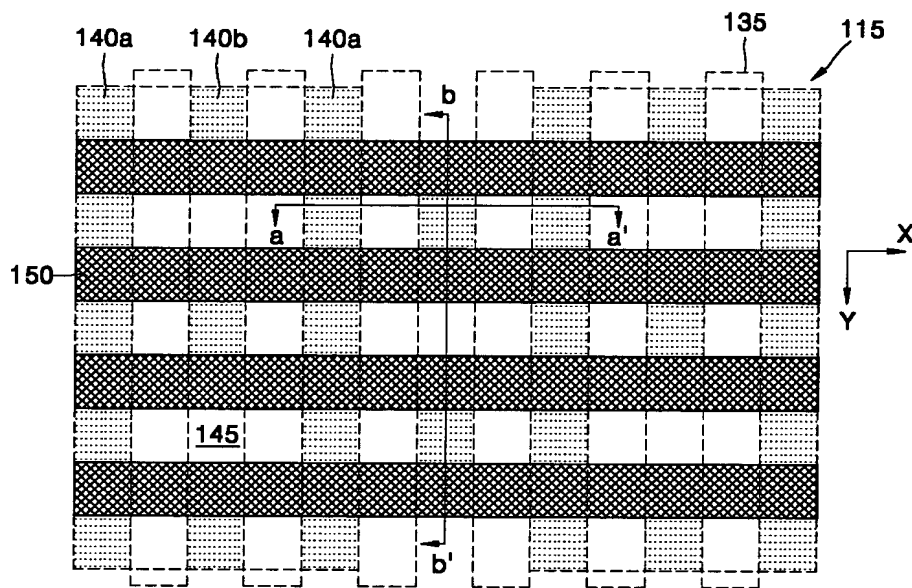
【도 4a】



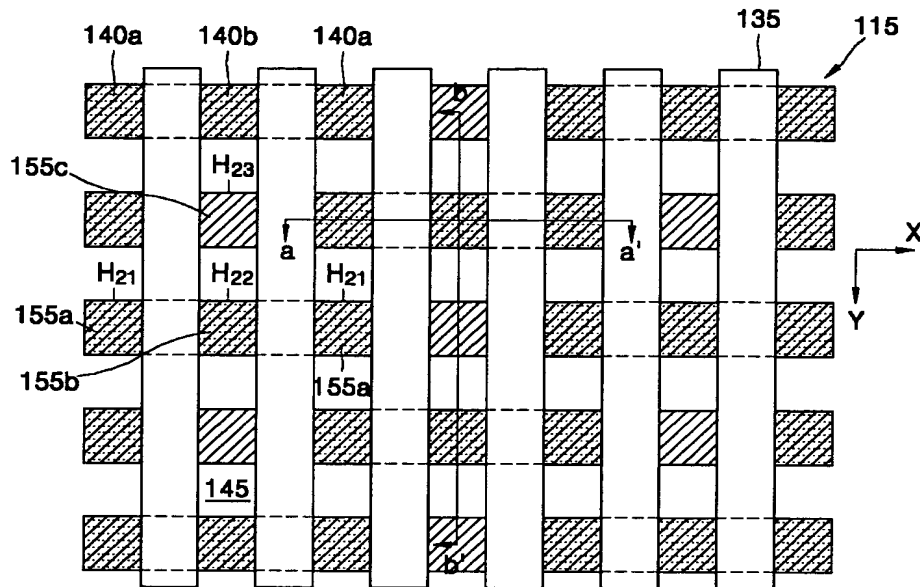
【도 4b】



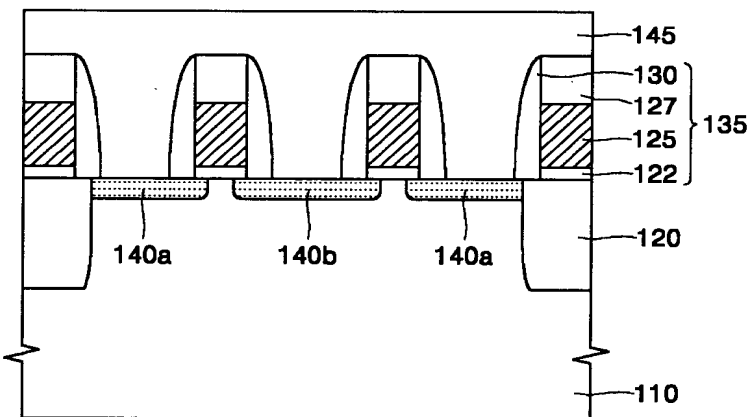
【도 5】



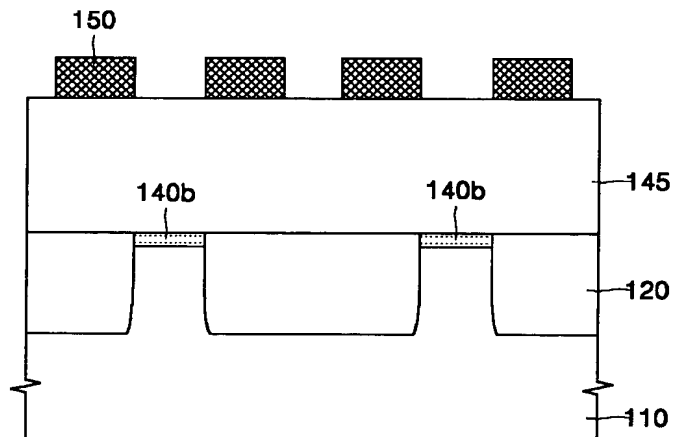
【도 6】



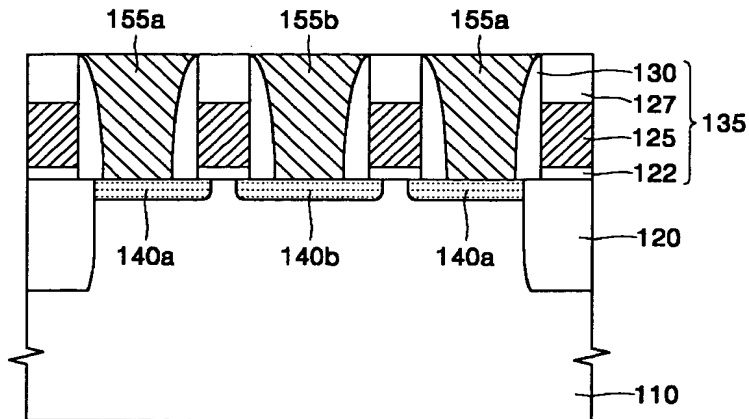
【도 7a】



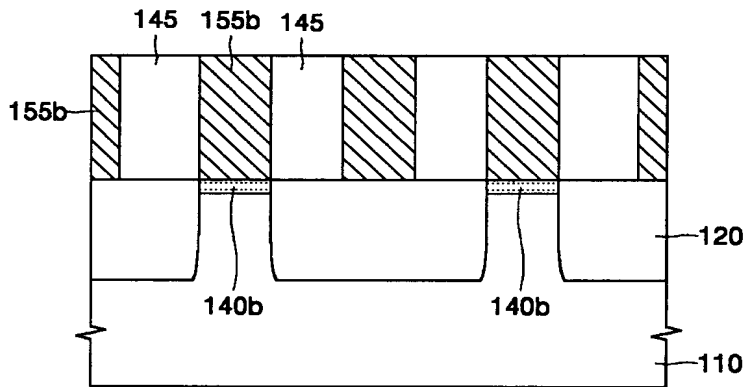
【도 7b】



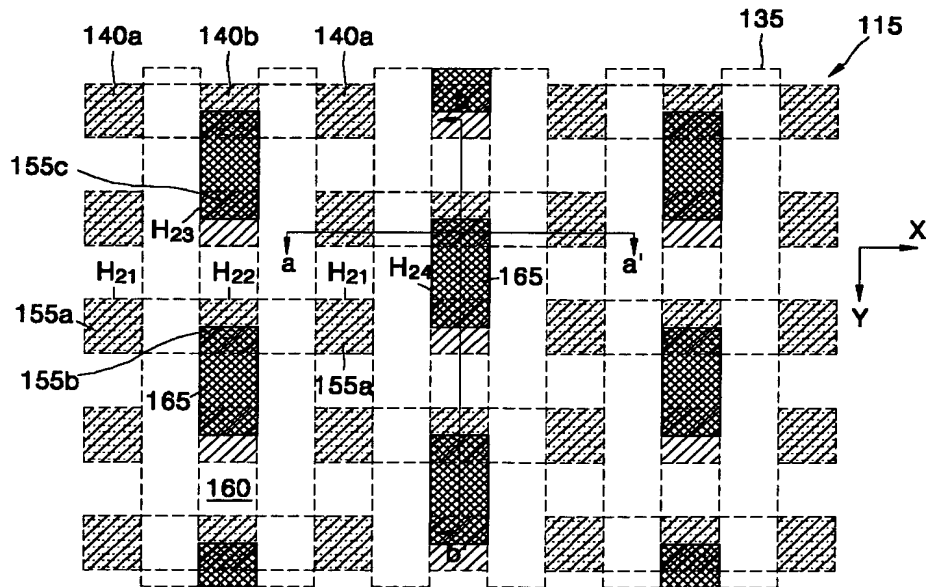
【도 8a】



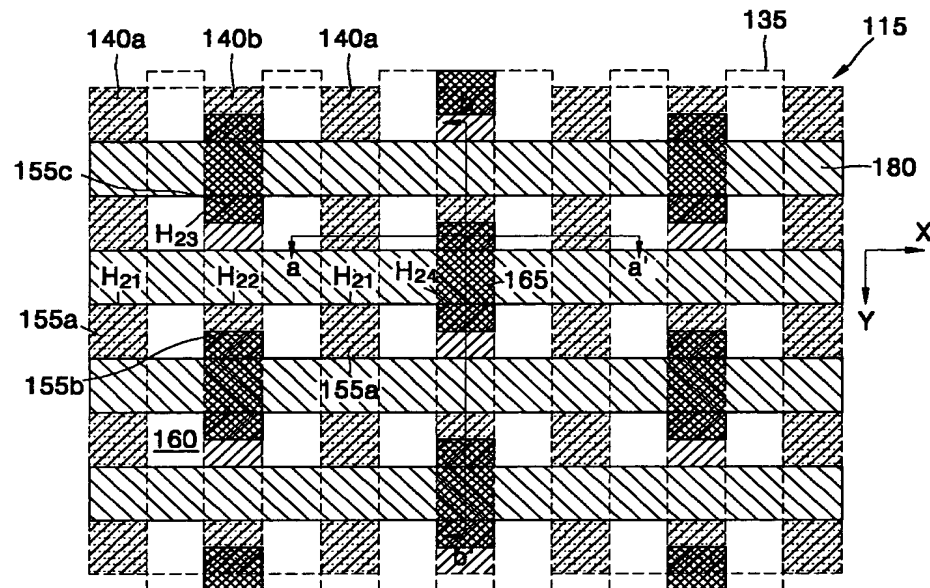
【도 8b】



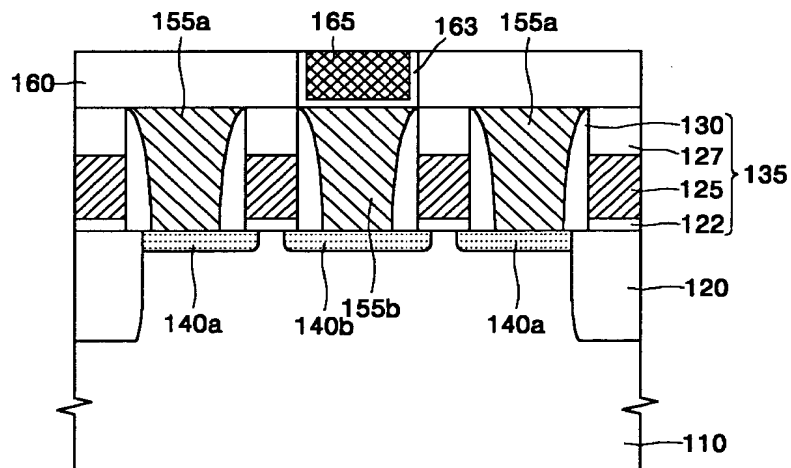
【도 9】



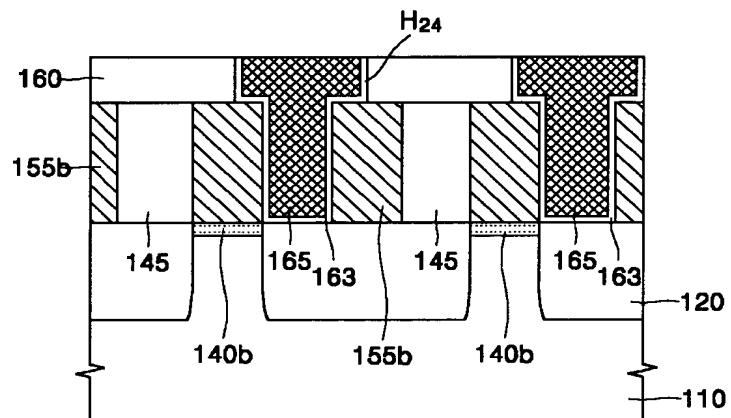
【도 10】



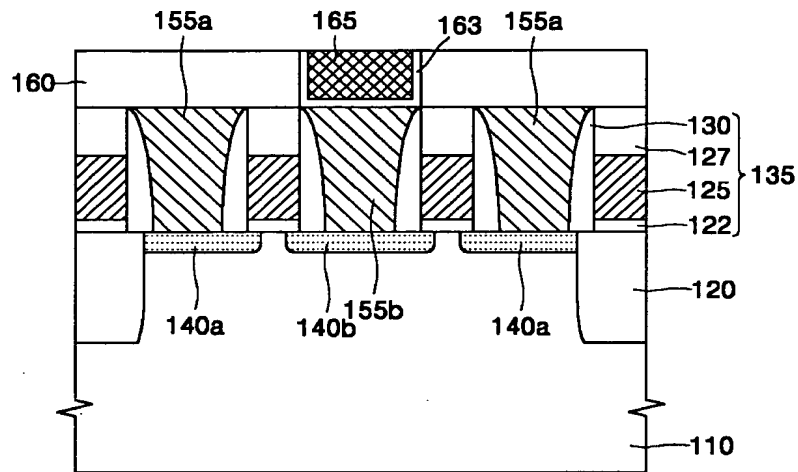
【도 11a】



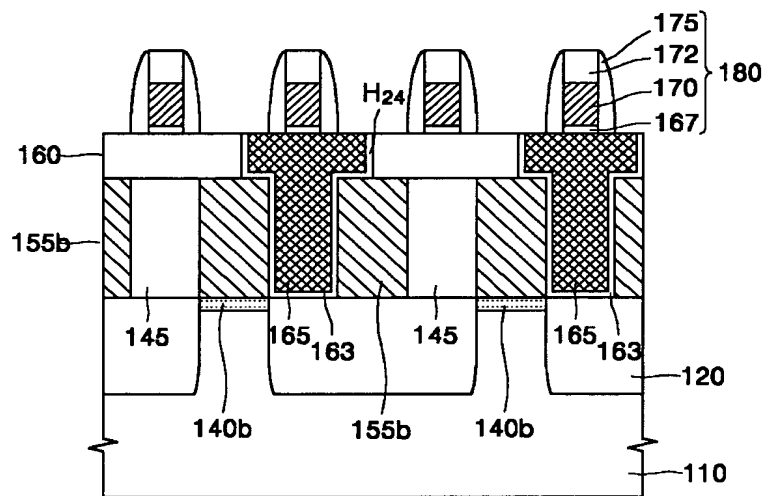
【도 11b】



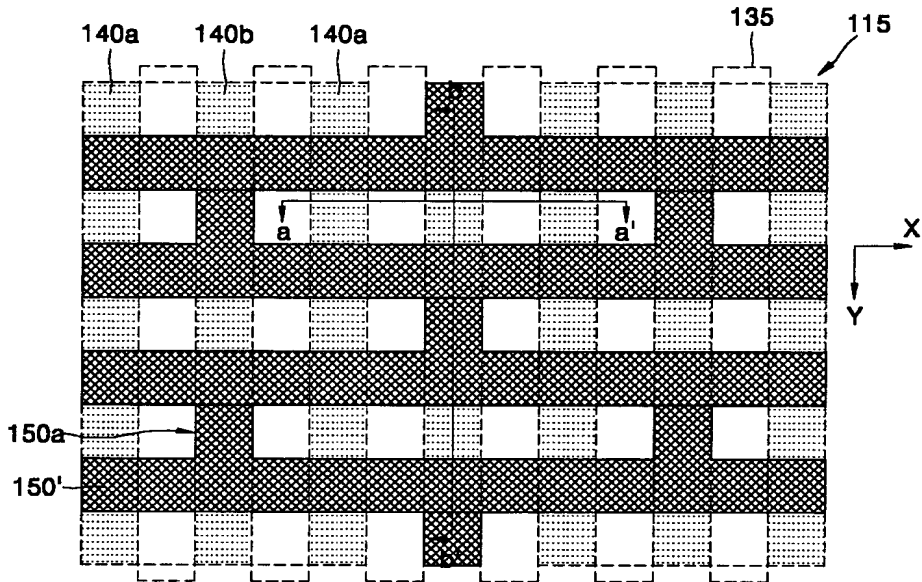
【도 12a】



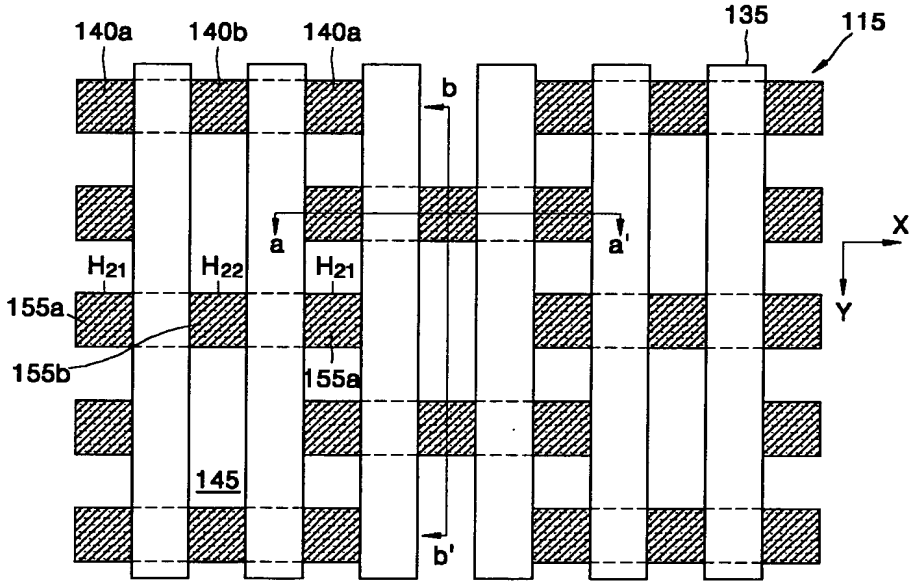
【도 12b】



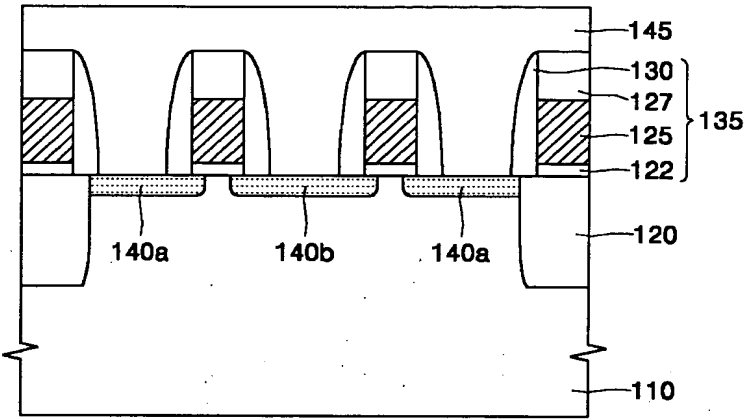
【도 13】



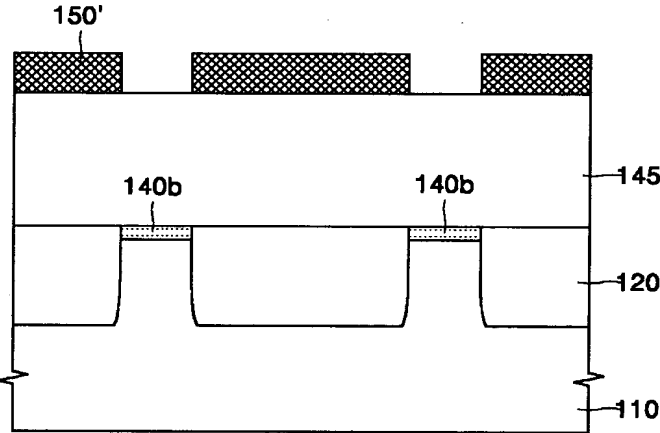
【도 14】



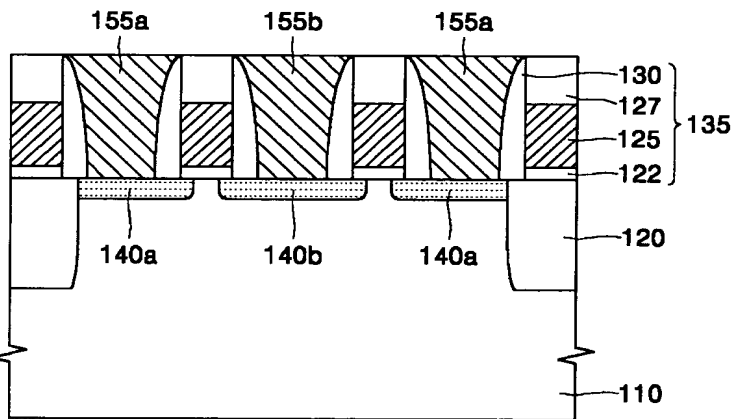
【도 15a】



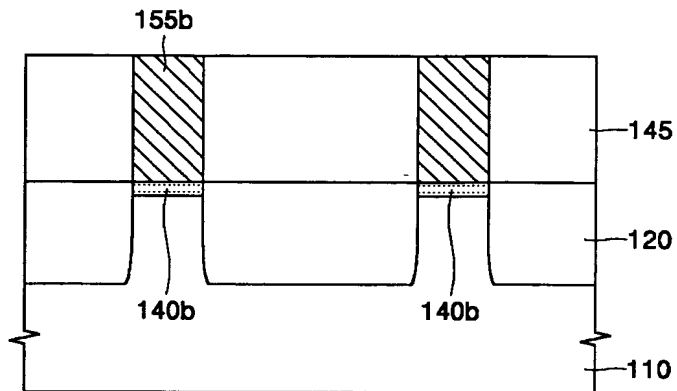
【도 15b】



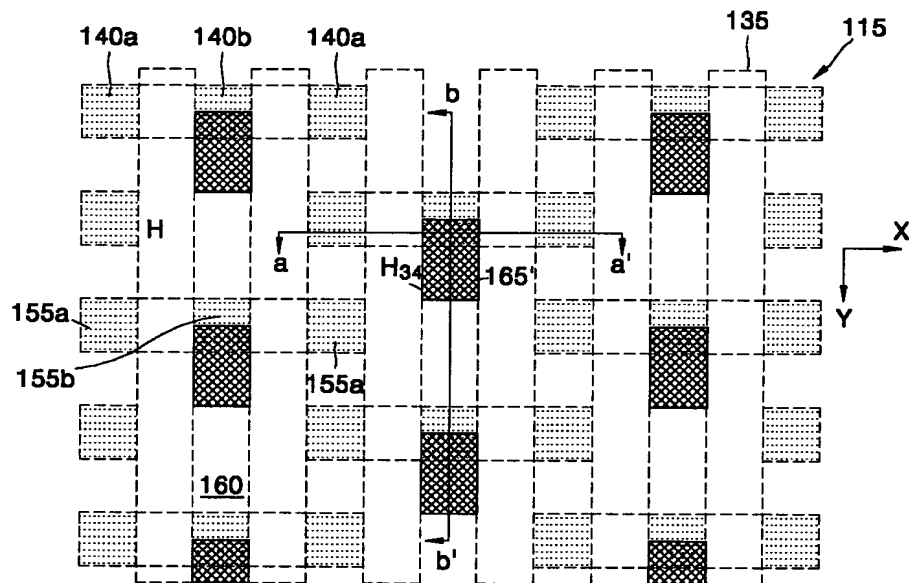
【도 16a】



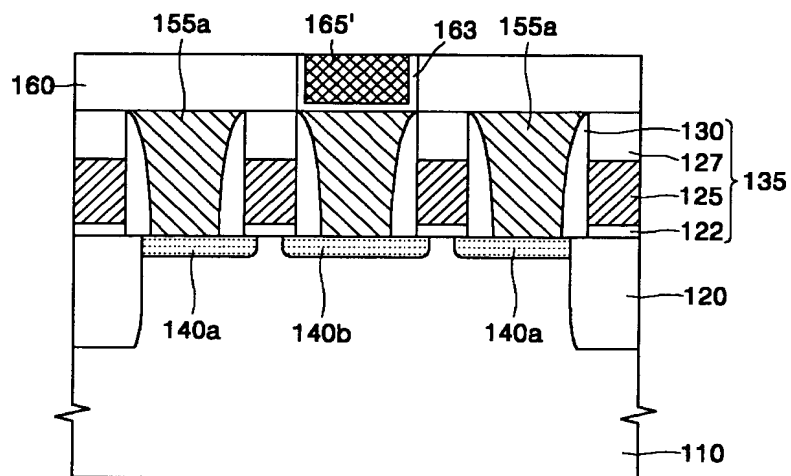
【도 16b】



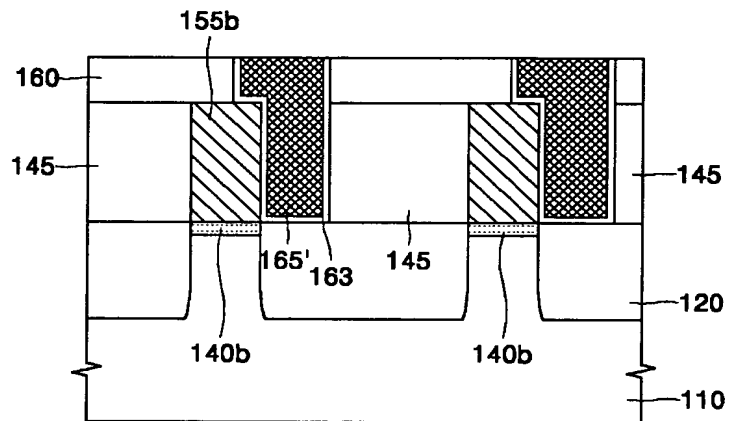
【도 17】



【도 18a】



【도 18b】



【도 19】

